

PAT-NO: JP410340906A

DOCUMENT-IDENTIFIER: JP 10340906 A

TITLE: SURFACE-MOUNT ELECTRONIC PART, MANUFACTURE AND  
MOUNTING  
THEREOF

PUBN-DATE: December 22, 1998

INVENTOR-INFORMATION:

NAME  
MURA, MITSURU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SONY CORP	N/A

APPL-NO: JP09149126

APPL-DATE: June 6, 1997

INT-CL (IPC): H01L021/321, H01L021/60 , H05K003/32

ABSTRACT:

PROBLEM TO BE SOLVED: To allow a gap between lamp electrodes and corresponding electrodes of a board to be narrowed with conductive particles within an **anisotropic conductive** material entrapped by providing signal input/output electrodes on a surface-mount electronic part and by providing the **bump** electrodes to be formed on the signal input/output electrodes, each **bump** electrode having a **recess** of a predetermined size in its tip.

SOLUTION: Each of **bumps** 11 of a semiconductor chip 10 has a **recess** 11A in its tip. As a result, a gap between the **bumps** 11 and a printed wiring board 8 can be narrowed while leaving conductive particles 2 within an ACF (**anisotropic conductive** film) 3 located between the **bumps** 11 and corresponding lands 9 of the board 8 entrapped in the **recesses** 11A of the **bumps** 11 at the time the chip 10 is bonded onto the board 8 by thermocompression after the chip 10 has been positioned with respect to and mounted onto the board 8 through the ACF 3.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-340906

(43) 公開日 平成10年(1998)12月22日

(51) IntCl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/321

H 0 1 L 21/92

6 0 2 G

21/60

3 1 1

21/60

3 1 1 S

H 0 5 K 3/32

H 0 5 K 3/32

B

H 0 1 L 21/92

6 0 4 J

6 0 4 L

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号

特願平9-149126

(22) 出願日

平成9年(1997)6月6日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 村 満

東京都品川区北品川6丁目7番35号ソニー

株式会社内

(74) 代理人 弁理士 田辺 恵基

(54) 【発明の名称】 表面実装型電子部品及びその製造方法並びにその実装方法

(57) 【要約】

【課題】実装の信頼性を向上させる表面実装型電子部品及びその製造方法並びにその実装方法を実現し難かつた。

【解決手段】表面実装型電子部品の電極上に、先端部に所定の大きさのくぼみを有する突起電極を設けるようにした。また表面実装型電子部品の製造方法において、表面実装型電子部品の電極上に突起電極を形成する第1の工程と、突起電極の先端部に所定の大きさのくぼみを形成する第2の工程とを設けるようにした。さらに表面実装型電子部品をプリント配線基板上に実装する実装方法において、表面実装型電子部品の電極上に突起電極を形成する第1のステップと、突起電極の先端部に所定の大きさのくぼみを形成する第2のステップと、表面実装型電子部品を異方性導電材を介してプリント配線基板上に実装する第3のステップとを設けるようにした。

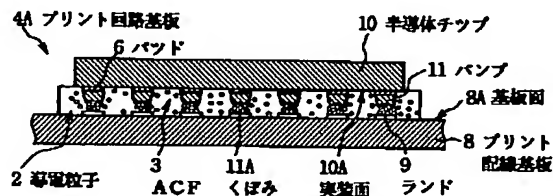


図3 本実施の形態による半導体チップのACFを用いたフリップチップ実装の様子

## 【特許請求の範囲】

【請求項1】信号入出力用の電極と、

上記電極上に形成された先端部に所定の大きさのくぼみを有する突起電極とを具えることを特徴とする表面実装型電子部品。

【請求項2】表面実装型電子部品の電極上に突起電極を形成する第1の工程と、

上記突起電極の先端部に所定の大きさのくぼみを形成する第2の工程とを具えることを特徴とする表面実装型電子部品の製造方法。

【請求項3】上記突起電極は、金属ワイヤの先端を上記表面実装型電子部品の上記電極上に接合した後、当該金属ワイヤを引きちぎることにより形成され、

上記突起電極の上記くぼみは、上記引きちぎられた金属ワイヤの先端の高さを揃えるレベリング時に形成されたことを特徴とする請求項2に記載の表面実装型電子部品の製造方法。

【請求項4】表面実装型電子部品をプリント配線基板上に実装する表面実装型電子部品の実装方法において、上記表面実装型電子部品の電極上に突起電極を形成する第1のステップと、

上記突起電極の先端部に所定の大きさのくぼみを形成する第2のステップと、

上記表面実装型電子部品を異方性導電材を介して上記プリント配線基板上に実装する第3のステップとを具えることを特徴とする表面実装型電子部品の実装方法。

【請求項5】上記突起電極は、金属ワイヤの先端を上記表面実装型電子部品の上記電極上に接合した後、当該金属ワイヤを引きちぎることにより形成され、

上記突起電極の上記くぼみは、上記引きちぎられた金属ワイヤの先端の高さを揃えるレベリング時に形成されたことを特徴とする請求項4に記載の表面実装型電子部品の実装方法。

## 【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

【0002】発明の属する技術分野

従来の技術（図7～図8）

発明が解決しようとする課題（図8）

課題を解決するための手段

発明の実施の形態（図1～図6）

発明の効果

【0003】

【発明の属する技術分野】本発明は表面実装型電子部品及びその製造方法並びにその実装方法に関し、例えば異方性導電材を介してプリント配線基板上にフリツプチップ実装する半導体チップ及びその製造方法並びにその実装方法に適用して好適なものである。

【0004】

【従来の技術】従来、半導体チップをベアでプリント配

線基板上に実装する実装方法の1つとしてフリツプチップ実装法があり、その1つに例えば図8に示すような絶縁性樹脂材からなるベースフィルム1内に直径5〔 $\mu$ m〕程度の導電粒子2（例えば金粒子又はニッケル粒子等）が複数散りばめられてなるACF（Anisotropic Conductive Film：異方性導電膜）3を用いた方法がある。

【0005】實際上ACF3を用いたフリツプチップ実装法においては、図9に示すように、半導体チップ5の信号入出力用の各電極（以下、これをパッドと呼ぶ）6上にそれぞれ突起電極（以下、これをバンパと呼ぶ）7を形成すると共に、ACF3をプリント配線基板8の半導体チップ5の実装領域上に配置し、プリント配線基板8の基板面8A上に所定パターンで形成されている電極（以下、これをランドと呼ぶ）9と対応するように位置決めして、ACF3を介してプリント配線基板8上に圧着することにより行われる。

【0006】かくしてこの方法によれば、半導体チップ5をACF3のベースフィルム1によりプリント配線基板8上に固着することができ、また当該半導体チップ5のバンパ7とプリント配線基板8の対応するランド9との間の導通を、これら半導体チップ5のバンパ7及びこれと対応するプリント配線基板8のランド9間に挟まれたACF3の導電粒子2を介してとることができる。

【0007】

【発明が解決しようとする課題】ところが上述のようなACF3を用いたフリツプチップ実装法では、半導体チップ5のバンパ7の先端形状が突起しているために半導体チップ5をプリント配線基板8上に圧着する際に半導体チップ5のバンパ7がACF3内の導電粒子2を押し退けながらプリント配線基板8の対応するランド9とのギャップを狭めていくことにより、半導体チップ5のバンパ7及びプリント配線基板8のランド9間の導電粒子2が逃げてしまうことがある。

【0008】この結果、ACF3を用いたフリツプチップ実装法では、必ずしもACF3内の導電粒子2が半導体チップ5のバンパ7とプリント配線基板8のランド9の間に挟まらず、これら半導体チップ5のバンパ7及びプリント配線基板8のランド9間を導通接続し得ないことがあり、実装の信頼性が低い問題があった。

【0009】本発明は以上の点を考慮してなされたもので、実装の信頼性を向上させる表面実装型電子部品及びその製造方法並びにその実装方法を提案しようとするものである。

【0010】

【課題を解決するための手段】かかる課題を解決するため本発明においては、表面実装型電子部品に信号入出力用の電極と、電極上に形成された先端部に所定の大きさのくぼみを有する突起電極とを設けるようにした。

【0011】この結果、この表面実装型電子部品を異方

性導電材を介してプリント配線基板上に実装する際、突起電極のくぼみが異方性導電材内の導電粒子を捕獲した状態で当該突起電極とプリント配線基板の対応する電極とのギャップを狭めることができる。

【0012】また本発明においては、表面実装型電子部品の製造方法において表面実装型電子部品の電極上に突起電極を形成する第1の工程と、突起電極の先端部に所定の大きさのくぼみを形成する第2の工程とを設けるようにした。

【0013】この結果、このようにして製造された表面実装型電子部品の異方性導電材を介してプリント配線基板上に実装する際、突起電極のくぼみが異方性導電材内の導電粒子を捕獲した状態で当該突起電極とプリント配線基板の対応する電極とのギャップを狭めることができる。

【0014】さらに本発明においては、表面実装型電子部品の実装方法において、表面実装型電子部品の電極上に突起電極を形成する第1のステップと、突起電極の先端部に所定の大きさのくぼみを形成する第2のステップと、表面実装型電子部品の異方性導電材を介してプリント配線基板上に実装する第3のステップとを設けるようにした。

【0015】この結果、表面実装型電子部品のプリント配線基板上に実装する際、突起電極のくぼみが異方性導電材内の導電粒子を捕獲した状態で当該突起電極とプリント配線基板の対応する電極とのギャップを狭めることができる。

【0016】

【発明の実施の形態】以下図面について、本発明の一実施の形態を詳述する。

【0017】図9の対応部分に同一符号を付して示した図3において、10は全体として本実施の形態による半導体チップを示し、各パッド6上にそれぞれ形成されたバンパ11の構成を除いて、図9の半導体チップ5と同様に構成されている。

【0018】すなわちこの半導体チップ10の場合、各バンパ11は図2に示すように、先端部にくぼみ11Aが形成されている。

【0019】これによりこの半導体チップ10においては、図3のようにACF3を介してプリント配線基板8上に実装する際、半導体チップ10をACF3を介してプリント配線基板8上に位置決めしてマウントした後、当該半導体チップ10をプリント配線基板8上に熱圧着するときに、バンパ11及びプリント配線基板8の対応するランド9間に位置するACF3内の導電粒子2を各バンパ11のくぼみ11Aにおいて捕らえた状態のまま各バンパ11及びプリント配線基板8間のギャップを狭めることができるようになされている。

【0020】ここで、このような半導体チップ10は、まず図4(A)のように通常の手順により一面の所定位

置にそれぞれパッド6が設けられてなる半導体チップ10を形成し、次いで図4(B)のようにこの半導体チップ10の各パッド6上にそれぞれバンパ23を形成した後、図4(C)のようにこれら各バンパ23の先端部にくぼみ11Aを形成することにより製造することができる。

【0021】この場合、半導体チップ10の各パッド6上にバンパ23を形成する工程(図4(B))では、いわゆるボールバンパ法を用いることができ、実際上ボールバンパ法を用いる場合には、まず図5(A)に示すように、キャピラリ20の先端から金属ワイヤ(一般的には金ワイヤ)21を突出させ、これを電気放電により溶融させることにより、その表面張力によってボール状の塊(以下これを、金ボールと呼ぶ)21Aを形成した後、当該金ボール21Aを図5(B)のように半導体チップ10の実装面10Aのパッド6に加圧し、超音波を印加することにより、半導体チップ10のパッド6に接合する。

【0022】その後図5(C)に示すように金属ワイヤ21をキャピラリ20で保持しながら引き上げることに、金ワイヤ21を金ボール21Aとの境目から引きちぎりパッド6上にバンパ22を形成する。

【0023】このような手順により、図6(A)に示すように半導体チップ10のパッド6の全てにバンパ22を形成した後、図6(B)に示すように例えば一括プレス等により高さを一定に揃える(レベルング)。

【0024】これにより、半導体チップ10の各パッド6上にそれぞれ同じ高さのバンパ22Aを形成することができる。

【0025】また、これら各バンパ22Aの先端部にくぼみ11Aを形成する工程(図4(C))は、図7に示すように、各バンパ22Aの先端をバンパ22Aの先端径よりも僅かに小さな先端形状を有し尖っている例えば鉛筆キヤツプの様な治具30で叩く(Y方向の動作)ことにより行うことができる。

【0026】なお、理想的なくぼみ11Aの径は一般的な導電粒子の径 $5[\mu\text{m}]$ に対しておよそ $15[\mu\text{m}]$ ～ $20[\mu\text{m}]$ であり、実際上、例えばバンパ11の先端径が $40[\mu\text{m}]$ の場合には鉛筆キヤツプの様な治具30の先端のR形状の径が $20[\mu\text{m}]$ で、バンパ11に治具30を押し当てる際の荷重を $10[\text{gf}]$ とすることによつて、およそ $10[\mu\text{m}]$ のくぼみ11Aを形成することができる。

【0027】以上の構成において、このプリント回路基板4Aでは半導体チップ10のバンパ11にくぼみ11Aを設けたことにより、この半導体チップ2をACF3を介してプリント配線基板8にフリツパチップ実装する際、半導体チップ10の各バンパ11とプリント配線基板8の対応するランド9間の隙間が小さくなる接続過程で、半導体チップ10のバンパ11のくぼみ11Aが直

下の導電粒子2を捕獲したままギャップが小さくなる。

【0028】従つてこの半導体チップ10ではACF3を介してプリント配線基板8上に実装する際、半導体チップ10のバンパ11がACF3内の導電粒子2を押し退け、半導体チップ10のバンパ11とプリント配線基板8の対応するランド9間の隙間に導電粒子2が挟まれなかつたり、挟まる数が少なくなる恐れはなく、確実に複数の導電粒子2を挟み込み半導体チップ10の各バンパ11とプリント配線基板8の対応するランド9との間の導通を得ることができる。

【0029】以上の構成によれば、半導体チップ10のバンパ22Aの先端にくぼみ11Aを設けるようにしたことにより、プリント配線基板8上に半導体チップ10をACF3を用いてフリツプチップ実装する際に、当該半導体チップ10のバンパ11のくぼみ11Aが直下のプリント配線基板8のランド9との間にある導電粒子2を捕獲したまま半導体チップ10の各バンパ11とプリント配線基板8の対応するランド9との間のギャップを狭めることができる。

【0030】かくするにつき半導体チップ10のバンパ11がACF3内の導電粒子2を押し退け、半導体チップ10のバンパ11とプリント配線基板8のランド9間の隙間に導電粒子2が挟まれなかつたり、挟まる数が少なくなる恐れを格段的に減少させることができ、信頼性高く半導体チップ10をプリント配線基板8上にフリツプチップ実装することができる。

【0031】なお上述の実施の形態においては、専用治具30を鉛筆キヤツプの様な場合について述べていたが、本発明はこれに限らず、治具としては先端径がバンパ22Aの先端径よりも僅かに小さく、突起状であるもの

を広く適用し得る。

【0032】また上述の実施の形態においては、半導体チップ10のバンパ11のくぼみ11Aをレベリング後に形成するようにした場合について述べたが、本発明はこれに限らず、レベリング工具（図示せず）に半導体チップ10のバンパ22Aの先端径よりも僅かに小さく、突起しているものを設け、レベリングと同時にバンパ22Aにくぼみ11Aを形成するようにしても良い。

【0033】さらに上述の実施の形態においては、半導体チップ10の実装面10Aに所定パターンで形成された接続パッド6に対して金（Au）ワイヤ21に基づいてバンパ22を形成した場合について述べたが、本発明はこれに限らず、金（Au）ワイヤ以外にも金を含む金属（例えば、金とはんだとパラジウムの合金等）や金以外のはんだ等の金属のワイヤに基づいてバンパ22を形成するようにしても良い。

【0034】さらに上述の実施の形態においては、半導体チップ10のバンパ11をボールバンパ法により形成するようにした場合について述べたが、本発明はこれに限らず、バンパ11の形成方法としてはこの他種々の方

法を適用することができる。さらに上述の実施の形態においては、異方性導電材としてACF3を用いた場合について述べたが、本発明はこれに限らず、要は、絶縁材内に複数の導電粒子2が分散して混入されている異方性導電材料であれば、この他種々の異方性導電材を適用し得る。

【0035】さらに上述の実施の形態においては、本発明を半導体チップ10及びその製造方法並びにその実装方法に適用するようにした場合について述べたが、本発明はこれに限らず、その他種々の表面実装型電子部品及びその製造方法並びにその実装方法に広く適用し得る。

【0036】

【発明の効果】上述のように本発明によれば、表面実装型電子部品に信号入出力用の電極と、電極上に形成された先端部に所定の大きさのくぼみを有する突起電極とを設けるようにしたことにより、表面実装型電子部品を異方性導電材を介してプリント配線基板上に実装する際、突起電極のくぼみが異方性導電材内の導電粒子を捕獲した状態で当該突起電極とプリント配線基板の対応する電極とのギャップを狭めることができ、かくして実装の信頼性を向上し得る表面実装型電子部品を実現できる。

【0037】また表面実装型電子部品の製造方法において、表面実装型電子部品の電極上に突起電極を形成する第1の工程と、突起電極の先端部に所定の大きさのくぼみを形成する第2の工程とを設けるようにしたことにより、突起電極のくぼみが異方性導電材内の導電粒子を捕獲した状態で当該突起電極とプリント配線基板の対応する電極とのギャップを狭めることができ、かくして実装の信頼性を向上し得る表面実装型電子部品の製造方法を実現できる。

【0038】さらに表面実装型電子部品をプリント配線基板上に実装する実装方法において、表面実装型電子部品の電極上に突起電極を形成する第1のステップと、突起電極の先端部に所定の大きさのくぼみを形成する第2のステップと、表面実装型電子部品を異方性導電材を介してプリント配線基板上に実装する第3のステップとを設けるようにしたことにより、表面実装型電子部品をプリント配線基板上に実装する際、突起電極のくぼみが異方性導電材内の導電粒子を捕獲した状態で当該突起電極とプリント配線基板の対応する電極とのギャップを狭めることができ、かくして実装の信頼性を向上し得る表面実装型電子部品を実現できる。

【図面の簡単な説明】

【図1】本実施の形態による半導体チップの構成を示す部分的断面図である。

【図2】本実施の形態によるバンパの構成を示す端面図である。

【図3】本実施の形態による半導体チップをACFを用いてプリント配線基板上に実装した状態を部分的に端面をとつて示す端面図である。

7

【図4】本実施の形態による半導体チップの製造工程の説明に供する部分的断面図である。

【図5】ボールパンプ法によるバンプの形成工程の説明に供する部分的断面図である。

【図6】バンプのレベリング工程前後を示す部分的断面図である。

【図7】くぼみ加工工程の説明に供する部分的断面図である。

【図8】ACFの構成の説明に供する斜視図である。

【図9】従来のACFを用いたフリップチップ実装法の

8

説明に供する部分的断面図である。

【符号の説明】

1……ベースフィルム、2……導電粒子、3……ACF、4、4A……プリント回路基板、5、10……半導体チップ、5A、10A……実装面、6……パッド、7、11、22、22A、23……バンプ、8……プリント配線基板、8A……基板面、9……ランド、11A……くぼみ、20……キャピラリ、21……金属ワイヤ、21A……金ボール、30……治具。

【図1】

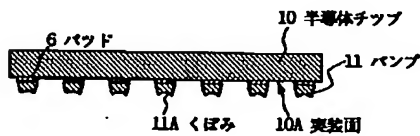


図1 本実施の形態による半導体チップの構成

【図2】

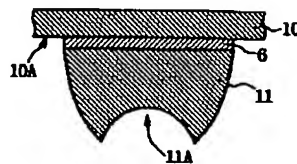


図2 本実施の形態によるバンプのくぼみ構成

【図3】

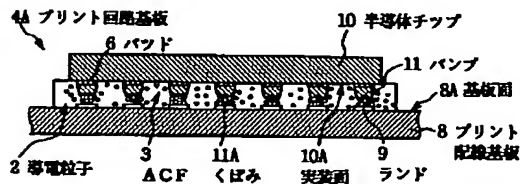


図3 本実施の形態による半導体チップのACFを用いたフリップチップ実装の様子

【図4】

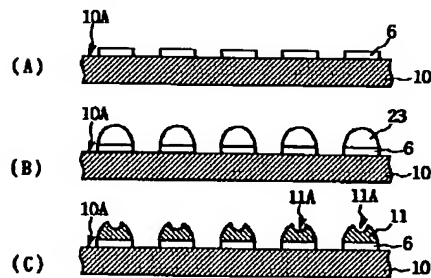


図4 本実施の形態における半導体チップの製造工程

【図5】

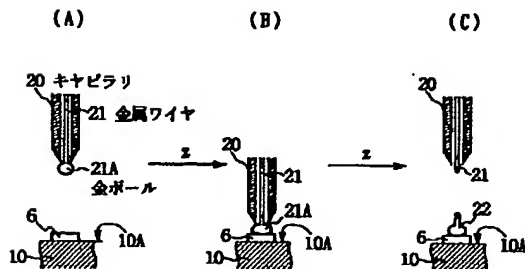


図5 ボールパンプ法によるバンプの形成工程

【図6】

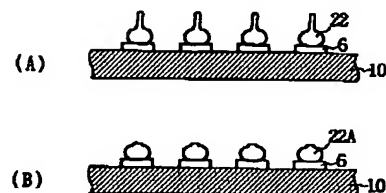


図6 レベリング前後のバンプの構成

【図7】

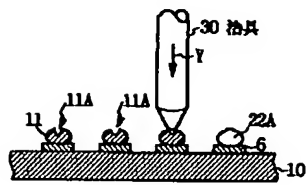


図7 くぼみ加工の様子

【図8】

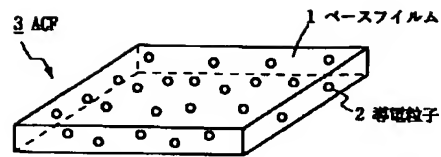


図8 ACFの構成

【図9】

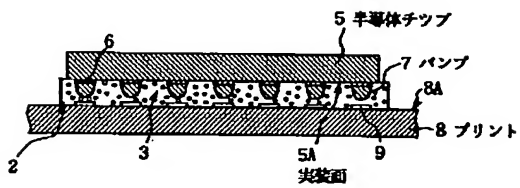


図9 ACFを用いたフリップチップ実装の様子